

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085659

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H03K 19/08
H03K 19/01
H03K 19/086

(21)Application number : 05-009721

(71)Applicant : INTERNATL BUSINESS MACH CORP
<IBM>

(22)Date of filing : 25.01.1993

(72)Inventor : DANSKY ALLAN H
MCCABE JOHN F
SHIN KENNY K

(30)Priority

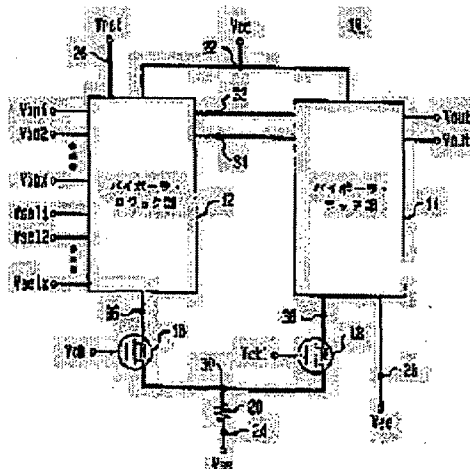
Priority number : 92 861755 Priority date : 01.04.1992 Priority country : US

(54) BI-FET LOGIC CIRCUIT

(57)Abstract:

PURPOSE: To obtain a high speed integrated logic circuit employing a bipolar transistor(TR) and a field-effect transistor.

CONSTITUTION: A processing/logic system is generated by a bipolar logic section 12 switched on/off with a 1st field effect TR 16 and by a bipolar latch section 14 switched on/off with a 2nd field effect TR 18. An emitter coupling logic is used for both the logic section and the latch section. The field-effect TRs are used for on/off switches. Complementary clock signals Vck, Vcki are used to control the 1st and 2nd field effect TRs 16, 18 so as to activate the logic section or the latch section. High speed performance and low power consumption are realized by this processing/storage system.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has a latch part, and a gate and the 1st and 2nd terminals characterized by comprising the following. The 1st terminal is connected to at least one of the bipolar transistors of the above-mentioned logic section. When the above-mentioned logic section is in an active state, the above-mentioned latch part is selectively changed into an inactive state. The 2nd field effect transistor that makes switch-on at least one of the bipolar transistors of the above-mentioned latch part when the above-mentioned logic section is in an inactive state is included. A BI-FET logical circuit by which an output of the above-mentioned logic section was connected to an input of the above-mentioned latch part, and the 2nd terminal of the 1st and 2nd field effect transistors was connected to the 1st resistance element of the above.

The 1st resistance element.

A logic section containing a bipolar transistor.

Have a gate and the 1st and 2nd terminals and the 1st terminal is connected to at least one of the bipolar transistors of the above-mentioned logic section. The 1st field effect transistor that changes the above-mentioned logic section into an inactive state selectively so that current which makes the above-mentioned logic section an active state selectively so that current may flow into at least one of the bipolar transistors of the above-mentioned logic section, and flows into a transistor of the above-mentioned logic section may be intercepted.

A bipolar transistor.

[Claim 2] The 2nd and 3rd resistance elements are included and the above-mentioned logic section contains at least three pairs of emitter junction n-p-n transistors. An emitter of a transistor of the 1st pair is connected to a collector of the 1st transistor of the 3rd pair. An emitter of a transistor of the 2nd pair is connected to the 2nd transistor of the 3rd pair. An emitter of a transistor of the 3rd pair is connected to the 1st terminal of the above of the 1st field effect transistor of the above. The BI-FET logical circuit according to claim 1 by which a collector of the 1st transistor of the 1st pair was connected to the 2nd resistance element of the above, and a collector of the 2nd transistor of the 1st pair was connected to the 3rd resistance element of the above.

[Claim 3] The 4th and 5th resistance elements are included and the above-mentioned latch part contains the emitter junction n-p-n transistor [of the 4th pair], 9th, and 10th n-p-n transistors. An emitter of the 9th transistor of the above is connected to the 4th resistance element of the above, and the 1st transistor of the 4th above-mentioned pair. An emitter of the 10th transistor of the above is connected to the 5th resistance element of the above, and the 2nd transistor of the 4th above-mentioned pair. An emitter of a transistor of the 4th above-mentioned pair is connected to the 1st terminal of the above of the 2nd field effect transistor of the above. The BI-FET logical circuit according to claim 2 by which the 2nd terminal of the 2nd field effect transistor of the above was connected to the 2nd terminal of the 1st field effect transistor of the above, and a collector of a transistor of the 4th above-mentioned pair was connected to the 2nd resistance element of the above, and the 3rd resistance element, respectively.

[Claim 4] The 1st, 2nd, and 3rd pairs of an emitter junction bipolar transistor in which each has a base, an emitter, and a collector. A gate, a field effect transistor which has the 1st and 2nd terminals, and the 1st, 2nd, and 3rd resistance elements are included. An emitter of a transistor of the 1st pair is connected to a collector of the 1st transistor of the 3rd pair. An emitter of a transistor of the 2nd pair is connected to a collector of the 2nd transistor of the 3rd pair. An emitter of a transistor of the 3rd pair is connected to the 1st terminal of the above-mentioned field effect transistor. A base of the 1st transistor of the 1st pair and the 2nd pair is respectively connected to the 1st and 2nd input data terminal. A base of the 1st and 2nd transistors of the 3rd pair is respectively connected to the 1st and 2nd input selection terminal. A gate of the above-mentioned field effect transistor is connected to a clock terminal, and a collector of the 1st transistor

of the 1st pair and the 2nd pair is connected to the 1st output terminal, A BI-FET logical circuit by which a collector of the 2nd transistor of the 1st pair and the 2nd pair was connected to the 2nd output terminal, a collector of a transistor of the 1st pair and the 2nd pair, the 1st and the 2nd, was respectively connected to the 1st and 2nd resistance element, and the 2nd terminal of the above-mentioned field effect transistor was connected to the 3rd resistance element.

[Claim 5] A base of each 2nd transistor of the 1st pair and the 2nd pair is connected to a reference voltage terminal, A base of the 1st transistor of the 1st pair and the 2nd pair is respectively connected to the 1st and 2nd data input terminal, The BI-FET logical circuit according to claim 4 connected to the 1st and 2nd independent selection terminals formed so that a base of the 1st and 2nd transistors of the 3rd pair might receive a complementary signal.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] About a high-speed circuit, especially this invention uses a bipolar transistor and a field effect transistor, and relates to the high-speed multi-level integrated circuit usually called a BI-FET circuit.

[0002]

[Description of the Prior Art] The bipolar transistor is used for high-speed integrated circuits, such as an emitter coupled logic (ECL) circuit, after the at least 1960s. A collector is connected to the n-p-n transistor from which the typical (fundamental) emitter coupled logic circuit became a pair. The 1st loading resistor and the 2nd loading resistor are separated, an emitter is connected to the collector of a resistor or a 3rd n-p-n transistor, and the emitter of the 3rd n-p-n transistor is connected to the 3rd resistor. The standup/falling time of such a circuit also become the range of a picosecond. The problem of this circuit is larger than the value for which a use with power consumption is asked. The problem of power consumption is accumulating the emitter junction pair of a n-p-n transistor, respectively, and making a tree structure, and is solved selectively. It is well known to make the emitter junction pair of a transistor into two steps, and to connect the collector of a n-p-n transistor to the emitter of the next step. While the logic which can be used by this increases considerably, speed and electric power are maintainable on the same level as the case where it is used with one pair of emitter junction transistors. Thus, the speed of a tree structure and the product of electric power which are obtained are substantially improved compared with a fundamental emitter junction structure.

[0003] However, in order to operate the tree structure of an emitter coupled logic circuit at an extraordinary high speed, it must operate a transistor by the non-saturation called a linear range. For that purpose, the voltage of the both ends of the collector/emitter region of the transistor of each class needs to be about 1 volt. The output voltage signal level of an emitter coupled circuit is usually about 0.7 volt. The voltage of the both ends of the constant current source which comprises the 3rd transistor and the 3rd resistor is usually about 2 volts or more. Therefore, for proper operation, the power supply voltage of about 5 volts is required. Power supply voltage cannot be dropped greatly. It is because it is necessary to maintain a transistor at non-saturation so that very high-speed operation may be obtained. Therefore, power consumption is still larger than the case where it asks for a certain use.

[0004] BI-FET combines a field effect transistor and a bipolar transistor. The high input impedance characteristic of a field effect transistor is the characteristic useful as an input device. The low output impedance of a bipolar transistor is the characteristic useful as an output device.

[0005] There are some which are used combining a bipolar transistor and a field effect transistor in SRAM. The U.S. Pat. No. 4825413 specification (H. V. Tran) shows the bipolar CMOS static random access memory containing the sense amplifier with which the emitter junction n-p-n transistor and the field effect transistor (FET) became a pair. The emitter of a transistor is connected to the drain of FET and the source of FET is connected to a reference potential. FET is described as what gives the current path of a transistor at the time of one. Change of the characteristic of FET, such as thickness of a gate oxide, and change of the voltage level impressed to the gate cause [of flowing through FET] change of current. Therefore, this kind of structure cannot be said to be ideal for the use asked for a constant current source.

[0006] There is a thing using the multi stage tree structure which the logic use which requires a constant current source takes two or more logic levels and a voltage level as an input. The structure of the above-mentioned U.S. Pat. No. 4825413 specification is not suitable for such a use.

[0007] For uses, such as a logical circuit which are standardized and is called a master slicing circuit or a library circuit, only a standard logic level is usually used but the use of two or more voltage logic levels for which a bipolar transistor and a field effect transistor are asked ordinarily poses a problem.

[0008]

[Problem(s) to be Solved by the Invention] Operation is a high speed very much, the ECL type logical circuit in which power consumption is smaller than the conventional ECL circuit is called for, and the purpose of this invention is to provide the logical circuit which meets such a request.

[0009]

[Means for Solving the Problem] An object of this invention is processing/maintenance system, and this system contains a bipolar logic section changed to one by the 1st field effect transistor at OFF, and a bipolar latch part changed to one by the 2nd field effect transistor at OFF. In order to realize high-speed operation, an emitter coupled logic is used for both a logic section and a latch part. A field effect transistor is used in the state where activation was carried out respectively and it flowed, as a drain and an ON-and-OFF switch with small impedance between source. An output of a logic section is connected to an input of a latch part. A complementary clock signal is used for controlling the 1st and 2nd field effect transistor so that either one of a logic section or a latch part may be in an active state at a stretch. A logic section takes two steps of emitter junction tree structures, in order to extend a logic function. It becomes easy to use a power supply whose voltage level is +3.6 volts by using a field effect transistor. This is contrastive with a power supply usual [+5 volts of] used for the conventional emitter junction tree structure. That is, improvement in the speed and low power consumption are realized by adopting processing/maintenance system of this invention.

[0010] This invention can be regarded as combination of a logic section, a latch part, the 1st and 2nd field effect transistor, and the 1st resistance element in one mode. A logic section contains a bipolar transistor. The 1st and 2nd field effect transistor has a gate and the 1st and 2nd terminal, respectively. The 1st terminal of a field effect transistor is connected to at least one of the bipolar transistors. The 1st field effect transistor so that current may flow into at least one of the bipolar transistors of a logic section, It operates so that current which operates so that a logic section may be selectively made into an active state, and flows through a transistor of a logic section may be intercepted, and a logic section may be selectively changed into an inactive state. A latch part contains a bipolar transistor. The 1st terminal of the 2nd field effect transistor is connected to at least one of the bipolar transistors of a logic section. When a logic section is in an inactive state when a logic section is an active state so that a latch part may be selectively changed into an inactive state and, current enables it to flow through the 2nd field effect transistor through at least one of the bipolar transistors of a latch part. An output of a logic section is connected to an input of a latch part. The 2nd terminal of the 1st and 2nd field effect transistor is connected to the 1st resistance element.

[0011] This invention can be seen in another mode about a circuit containing an emitter junction bipolar transistor which accomplishes the 1st, 2nd, and 3rd pair, a field effect transistor, and the 1st, 2nd, and 3rd resistance element. A bipolar transistor has a base, an emitter, and a collector respectively, and a field effect transistor has a gate and the 1st and 2nd terminal. An emitter of a transistor of the 1st pair is connected to a collector of the 1st transistor of the 3rd pair. An emitter of a transistor of the 2nd pair is connected to a collector of the 2nd transistor of the 3rd pair. An emitter of a transistor of the 3rd pair is connected to the 1st terminal of a field effect transistor. A base of the 1st transistor of the 1st pair and the 2nd pair is respectively connected to the 1st and 2nd input data terminal of a circuit. A base of the 1st and 2nd transistor of the 3rd pair is respectively connected to the 1st of a circuit, and the 2nd input selection terminal. A gate of a field effect transistor is connected to a clock terminal of a circuit. A collector of the 1st transistor of the 1st pair and the 2nd pair is connected to the 1st output terminal of a circuit. A collector of the 2nd transistor of the 1st pair and the 2nd pair is connected to the 2nd output terminal of a circuit. A collector of a transistor of the 1st pair and the 2nd pair, the 1st and the 2nd, is respectively connected to the 1st and 2nd resistance element. The 2nd terminal of a field effect transistor is connected to the 3rd resistance element.

[0012]

[Example] Drawing 1 is referred to. This shows processing/maintenance system (circuit) 10 according to this invention. The system 10 contains the bipolar logic section 12, the bipolar latch part 14, the n channel field effect transistors 16 and 18, and the resistor (resistance element) 20. input terminal Vin1 of the bipolar logic section 12, Vin2, and ... Vinx is formed so that the data in signal processed by the bipolar logic section 12 may be received. input terminal Vsel1 of the bipolar logic section 12, Vsel2, and ... Vselx -- predetermined time -- Vin1, Vin2, and ... it is formed so that the selection input signal which determines which input data signal of Vinx is processed by the bipolar logic section 12 may be received. The output of the bipolar logic section 12 is connected to the input terminals 32 and 34 of the bipolar latch part 14. The outputs Vout and Vouti of the bipolar latch part 14 (inverted output of Vout) turn into an output of the system 10. The complementary clock signal Vck and Vcki are respectively connected to the gate of the transistors 16 and

18. The transistor 16 is a HIGH signal of the gate. When it is in an active state ("ON") by "1", the bipolar logic section 12 — input terminal Vin1, Vin2, and ... the signal received with any 1 terminal of Vinx can be processed, and an output signal can be generated for the terminals 32 and 34. When the transistor 16 is in an active state, the transistor 18 will be in an inactive state ("OFF") by LOW signal "0" of the gate, and the bipolar latch part 14 will be in an inactive state. If Vck and Vcki change to "1", "0" to "0", and "1" respectively, the bipolar logic section 12 will be in an inactive state, the bipolar latch part 14 will be in an active state — input data terminal Vin1, Vin2, and ... latchup is carried out so that a signal may be generated and held with the output Vout which is the same logic level as what was impressed to the terminal selected among Vinx(es).

[0013]The drain of the transistor 16 is connected to the bipolar logic section 12 with the terminal 36. The drain of the transistor 18 is connected to the bipolar latch part 14 with the terminal 38. The source of the transistors 16 and 18 is connected to the 1st terminal 30 of the resistor 20.

[0014]The bipolar logic section 12 and the bipolar latch part 14 are connected to the terminal 22 in which the positive supply of the voltage Vcc is impressed for both. The 2nd terminal 24 of the resistor 20 is connected to the 1st reference supply of the voltage Vss. The bipolar logic section 12 is connected to the reference supply of the terminal 26 and the voltage Vref again. The bipolar latch part 14 is connected also to the terminal 28 and the positive supply of the voltage Vee again.

[0015]Drawing 2 shows the example (inside of a dashed line) of the bipolar logic section 12 of drawing 1, the transistor 16 of drawing 1, and the resistor 20.

[0016]The example of the bipolar logical circuit 12. The emitter junction n-p-n transistor T1, the 1st pair of T2, Emitter junction n-p-n transistor T3, the 2nd pair of T4, the emitter junction n-p-n transistor T5, the 3rd pair of T6, the n-p-n transistor T7, T8, T9, and the resistors (resistance element) 50 and 52 are included.

[0017]The collector of T1, T4, and T5 is connected to the 1st terminal and the terminal 32 of the resistor 50. T2, T3, and the collector of T6 are connected to the 1st terminal and the terminal 34 of the resistor 52. The 2nd terminal of the resistors 50 and 52 is connected to the terminal 22 and Vcc. The emitter of T1 and T2 is connected to the collector and the terminal 54 of T7. T3 and the emitter of T4 are connected to the collector and the terminal 56 of T8. The emitter of T5 and T6 is connected to the collector and the terminal 58 of T9. All the emitters of T7, T8, and T9 are connected to the drain and the terminal 36 of the transistor 16. The base of T1, T4, and T5 is connected to Vin1, Vin2, and Vinx, respectively. T2, T3, and the base of T6 are connected to the terminal 26 and Vref. The base of T7, T8, and T9 is connected to Vsel1, Vsel2, and Vselx, respectively.

[0018]In the example of a figure, Vcc=+3.6 volt, Vref=+2.35 volt, Vss=0 volt, Vin1, Vin2, and ... "1" of Vinx — level = — +2.6 volts, Vin1, Vin2, and ... "0" of Vinx — level = — +2.1 volts, Vsel1, Vsel2, and ... "1" of Vselx — level = — +1.75 volts, Vsel — one — Vsel — two ... Vselx — " — zero — " — a level — = — + — 1.45 — a volt — Vck — " — one — " — a level — = — + — 3.0 — a volt — Vck — " — zero — " — level = 0 volt and the resistors 50, 52, and 20 are 1140 and 1140 or 2130 ohms, respectively. The range of the stage delay measured using these values was 62 – 73 pico seconds.

[0019]The bipolar logic section 12 will be in an active state, when Vck is "1", and when Vck is "0", it will be in an inactive state. The transistor 16 is a switch which works as a short circuit way of the low impedance between the terminals 36 and 30, when it is in an active state by "1" impressed to the gate. The transistor 16 of the example of a figure is a 0.8-micron n channel enhancement insulated-gate field-effect transistor, and a drain / voltage between source (namely, voltage between the terminals 34 and 30) is about 20 millivolts, when the bipolar logic section 12 is an active state.

[0020]The bipolar logic section 12 operates as follows. When "1" is first impressed to the gate of the transistor 16 by Vck, The bipolar logic section 12 will be in an active state, and current from Vcc to the resistor 50 or 52. Next, it passes along the transistor T1, T2, T3, T4, T5, or 6, then passes along the transistor T7, T8, or 9, passes along the transistor 16 and the resistor 20 further, and flows into Vss. The actual course of this current is decided by the logic level impressed to the base of T1, T4, T6, T7, T8, and T9. Only one of the bases of T7, T8, and T9 receives "1." The transistor from which a base receives "1" is a transistor which can pass the current from Vcc. Vck= — "1", Vsel="1", Vsel2, and ... Vselx= — it is referred to as "0" and Vin1="1." Current flows into the resistor 50, T1, T7, the transistor 16, the resistor 20, and Vss from Vcc under these conditions. The output voltage of the terminal 32 is set to "0" for the sag of resistor 50 both ends by this. Since current does not flow into the resistor 52, the terminal 34 remains in Vcc, i.e., "1."

[0021]here — Vck — = — " — one — " — Vsel — one — = — Vselx — = — " — zero — " — Vsel — two — = — " — one — " — and — Vin — two — = — " — zero — " — carrying out . Current flows into the resistor 52, T3, T8, the transistor 16, the resistor 20, and Vss from Vcc under these conditions. The

voltage of resistor 52 both ends falls by this, and the output voltage of the terminal 34 is set to "0." Since current does not flow into the resistor 50, the terminal 34 remains in Vcc, i.e., "1."

[0022]here -- Vck -- = -- " -- one -- " -- Vsel -- one -- = -- Vsel -- two -- = -- " -- zero -- " -- Vselx -- = -- " -- one -- " -- and -- Vinx -- = -- " -- one -- " -- carrying out . Current flows into the resistor 50, T5, T9, the transistor 16, the resistor 20, and Vss from Vcc under these conditions. The voltage of resistor 50 both ends falls by this, and the output voltage of the terminal 32 is set to "0." Since current does not flow into the resistor 52, the terminal 32 remains in Vcc, i.e., "1."

[0023]When the transistor 16 is "ON" (active state), note that comparatively fixed current flows through the logic section 12. This is because the HIGH level impressed to Vsel1, Vsel2, or Vselx is the same and the emitter/interbase voltage of T7, T8, and T9 also have it. [the same] Thus, when one of T7, T8, and the T9 is "ON", the voltage of the terminal 36 lower than the HIGH voltage level of the emitter/base of either T7, T8 or T9 is constant. The value which broke this voltage by the sum of resistance of the transistor 16 and resistance of the resistor 20 determines the current which flows into the logic section 12.

[0024]When transmitting the output signal of the terminals 32 and 34 to the bipolar latch part 14 of drawing 2, Vck is changed to "0" and Vcki (drawing 1) changes from "0" to "1." Thereby, as for the bipolar logic section 12, an inactive state and the bipolar latch part 14 will be in an active state.

[0025]If activation of the field effect transistor 16 will be carried out and it will be in switch-on, the switching speed of the bipolar logic section 12 will be determined by the reaction time (usually the range of the Vico second) of emitter junction transistor T1-T9. The voltage logic level used for control of T1-T9 is a standard emitter coupled logic level used for the conventional tree structure. The voltage logic level of an electric field effect is required only for the start of the motion cycle of the bipolar logic section 12, and the end. Although the field effect transistor 12 is a transistor in which a reaction is slower than bipolar transistor T1-T9 on the characteristic, The switching speed of the bipolar logic section 12 supports the reaction time of T1-T9, and is not restricted by the switching time of the field effect transistor 16.

[0026]Since the drain / voltage between source of the transistor 16 will be tens of millivolts (20 millivolts etc.), Vcc can be set to +3.6 (to +5 volts used for the conventional emitter junction tree structure), and also can make the input of a bipolar transistor into the same logic level, and can still attain the reaction time of a picosecond unit. Thereby, power consumption declines about 39%. On the other hand, in comparison with drawing 1 and the bipolar logic section of drawing 2, in order to use the conventional emitter junction tree structure, 1.4 volts is needed for everything [3.6-volt] but a standard.

[0027]Drawing 3 shows the example of the bipolar latch part 14 of drawing 1 in the dashed line 14a. The example of the bipolar latch part 14 contains the n-p-n transistor T10, T11, T12, T13, and the resistors (resistance element) 80 and 82. The resistors 20, 50, and 52 are the same as drawing 2. Although these are required for operation of Example 14a of the latch part 14, they may use with the logic section 12 in common. The collector of T10 and T11 is connected to the terminal 22 and Vcc. The 1st terminal of the resistors 80 and 82 is connected to the power supply of the terminal 28 and the voltage Vee. At the time of Vcki="1", the transistor 18 and the latch part 14 will be in an active state, and the latch part 14 carries out latchup with the output signal of the terminals 32 and 34 of the logic section 10 of drawing 1 and drawing 2. That is, the output terminal Vout approaches the same logic level as drawing 1, data input terminal Vin1 of the logic section 12 of drawing 2, Vin2, or Vinx. On the other hand, the output terminal Vouti serves as a complement of Vin1, Vin2, or Vinx.

[0028]The operation of the bipolar latch part 14 is as follows. When Vcki changes to "1" from "0" and Vck changes to "0" from "1", the output terminals 32 and 34 shall be respectively set to "1" and "0." Thereby, in the base of T11, the base of T10 is set to "0" "1." Since both T10 and T11 function as an emitter follower, the emitter is set to the potential in which only 1 Vbe (a base/emitter) is lower than the base voltage. Therefore, voltage becomes high rather than the base of T12 by which the base (connected to the emitter of T11) of T13 was connected to the emitter of T10. Thereby, current flows into the resistor 52, T13, the transistor 18, the resistor 20, and Vss from Vcc. Therefore, the voltage of the terminal 34 is kept at "0", even if the logic section 10 of drawing 1 and drawing 2 will be in an inactive state at this time and does not maintain the terminal 34 at "0." Thus, by the base of T10 being set to "0", the emitter of T10, therefore the base of T12 are maintained at positive voltage lower than the base of T13. Since T13 is maintained at activity/switch-on by this, the voltage of the base of T12 brings a result maintained lower than the base of T13. The output voltage level of Vout is kept active on "0" levels. Therefore, a HIGH level or the base of T11 is shifted below, and is maintained by Vbe of T11 at "1" level.

[0029]the voltage of the terminals 32 and 34 -- each -- if it is "0" and "1" -- Vout= -- it is "1", Vouti="0."

[0030]When new data is inputted into the logic section 12, Vcki is changed to "0" from "1" and Vck is changed to "1" from "0." When Vcki is changed to "0" from "1", Vck is changed to "1" from "0." As for the

logic section 12, an active state and the latch part 14 will be in an inactive state by these conditions. usually, a data in signal new when not becoming later at least than the time of Vck being set to "1" — drawing 1, Vin1 of drawing 2, Vin2, and ... being impressed by Vinx — a new selection input signal — Vsel1, Vsel2, and ... it is impressed by Vselx.

[0031] In the example of a figure, they are $V_{cc}=+3.6$ volt, $V_{ss}=0$ volt, $V_{ee}=+1.1$ volt and the resistors 50, 52, 80, and 82, 20= 1140, 1140 and 1000, and 1000 or 2130 ohms.

[0032] The field effect transistor 18 changes to "ON" (active state), starts the motion cycle of the latch part 14, changes to "OFF" (inactive state), and stops the cycle of the latch part 14. "Latchup" of the time when the transistor 18 is in an active state, and the latch part is carried out, and the reaction time at that time is determined by the bipolar transistor. Therefore, "latchup" time is obtained at the high speed accompanying an emitter junction bipolar circuit. Thereby, the latch part 14 reacts per picosecond.

[0033]

[Effect of the Invention] Improvement in the speed and low power consumption are realized by adopting processing/maintenance system of this invention.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a figure of processing/maintenance system according to this invention.

[Drawing 2] It is a figure showing some examples of processing/maintenance system of drawing 1.

[Drawing 3] It is a figure showing some examples of processing/maintenance system of drawing 1.

[Description of Notations]

10 Processing/maintenance system (circuit)

12 Bipolar logic section

14 Bipolar latch part

16, 18 n-channel field effect transistor

20, 50, and 52 Resistor (resistance element)

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-85659

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵H 0 3 K 19/08
19/01
19/086

識別記号

A 8941-5 J
8941-5 J
8941-5 J

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 5 (全 8 頁)

(21)出願番号 特願平5-9721

(22)出願日 平成5年(1993)1月25日

(31)優先権主張番号 8 6 1 7 5 5

(32)優先日 1992年4月1日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 アラン・ハーベイ・ダンスキー

アメリカ合衆国12603、ニューヨーク州ボ
キプシ、サドル・ロック・ドライブ 18

(74)代理人 弁理士 頃宮 孝一 (外4名)

最終頁に続く

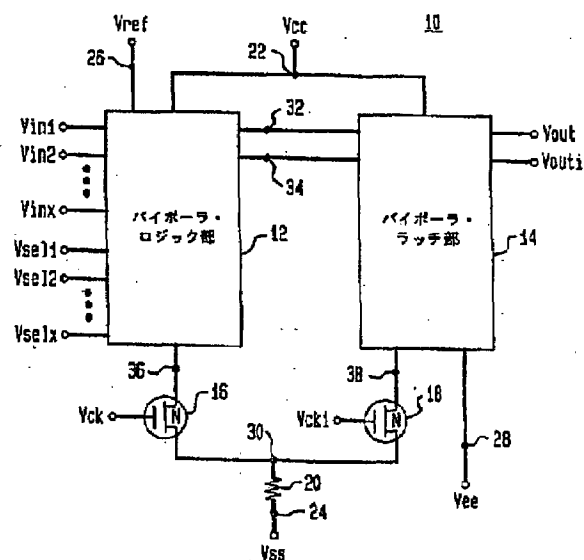
(54)【発明の名称】 B I - F E T ロジック回路

(57)【要約】

【目的】 バイポーラ・トランジスタと電界効果トランジスタを使用する高速集積ロジック回路を提供する。

【構成】 第1電界効果トランジスタ(16)によってオン、オフに切り替えられるバイポーラ・ロジック部(12)と、第2電界効果トランジスタ(18)によってオン、オフに切り替えられるバイポーラ・ラッチ部(14)から処理/保持システムが形成される。ロジック部とラッチ部の両方にエミッタ結合ロジックが用いられる。電界効果トランジスタは各々、オン/オフ・スイッチとして用いられる。ロジック部とラッチ部のいずれか一方が活動状態となるように第1と第2の電界効果トランジスタ(16、18)を制御するために相補クロック信号(Vck, Vcki)が用いられる。

【効果】 本発明の処理/保持システムにより高速性と低消費電力が実現される。



【特許請求の範囲】

【請求項1】第1抵抗素子と、
バイポーラ・トランジスタを含むロジック部と、
ゲートと第1及び第2の端子を有し、第1端子が上記ロジック部のバイポーラ・トランジスタの少なくとも1つに接続され、上記ロジック部のバイポーラ・トランジスタの少なくとも1つに電流が流れるように上記ロジック部を選択的に活動状態にし、上記ロジック部のトランジスタに流れる電流を遮断するように上記ロジック部を選択的に非活動状態にする第1電界効果トランジスタと、
バイポーラ・トランジスタを含むラッチ部と、
ゲートと第1及び第2の端子を有し、第1端子が上記ロジック部のバイポーラ・トランジスタの少なくとも1つに接続され、上記ロジック部が活動状態の時に上記ラッチ部を選択的に非活動状態にし、上記ロジック部が非活動状態の時に上記ラッチ部のバイポーラ・トランジスタの少なくとも1つを導通状態にする第2電界効果トランジスタとを含み、
上記ロジック部の出力が上記ラッチ部の入力に接続され、

第1及び第2の電界効果トランジスタの第2端子が上記第1抵抗素子に接続されたB I - F E Tロジック回路。

【請求項2】第2及び第3の抵抗素子を含み、
上記ロジック部は少なくとも3対のエミッタ結合n-p-nトランジスタを含み、第1対のトランジスタのエミッタが第3対の第1トランジスタのコレクタに接続され、第2対のトランジスタのエミッタが第3対の第2トランジスタに接続され、第3対のトランジスタのエミッタが上記第1電界効果トランジスタの上記第1端子に接続されており、
第1対の第1トランジスタのコレクタが上記第2抵抗素子に接続され、
第1対の第2トランジスタのコレクタが上記第3抵抗素子に接続された、
請求項1記載のB I - F E Tロジック回路。

【請求項3】第4及び第5の抵抗素子を含み、
上記ラッチ部は第4対のエミッタ結合n-p-nトランジスタと第9及び第10のn-p-nトランジスタとを含み、
上記第9トランジスタのエミッタが上記第4抵抗素子及び上記第4対の第1トランジスタに接続され、
上記第10トランジスタのエミッタが上記第5抵抗素子及び上記第4対の第2トランジスタに接続され、
上記第4対のトランジスタのエミッタが上記第2電界効果トランジスタの上記第1端子に接続され、
上記第2電界効果トランジスタの第2端子が上記第1電界効果トランジスタの第2端子に接続され、
上記第4対のトランジスタのコレクタがそれぞれ上記第2抵抗素子、第3抵抗素子に接続された、
請求項2記載のB I - F E Tロジック回路。

【請求項4】各々がベース、エミッタ、及びコレクタを持つエミッタ結合バイポーラ・トランジスタの第1、第2、及び第3の対と、
ゲートと第1及び第2の端子を有する電界効果トランジスタと、

第1、第2、及び第3の抵抗素子とを含み、
第1対のトランジスタのエミッタが第3対の第1トランジスタのコレクタに接続され、
第2対のトランジスタのエミッタが、第3対の第2トランジスタのコレクタに接続され、
第3対のトランジスタのエミッタが、上記電界効果トランジスタの第1端子に接続され、
第1対及び第2対の第1トランジスタのベースが各々、
第1、第2の入力データ端子に接続され、
第3対の第1及び第2のトランジスタのベースが各々、
第1、第2の入力選択端子に接続され、
上記電界効果トランジスタのゲートがクロック端子に接続され、
第1対及び第2対の第1トランジスタのコレクタが第1出力端子に接続され、
第1対及び第2対の第2トランジスタのコレクタが第2出力端子に接続され、
第1対及び第2対の第1及び第2のトランジスタのコレクタが各々第1、第2の抵抗素子に接続され、
上記電界効果トランジスタの第2端子が第3抵抗素子に接続されたB I - F E Tロジック回路。

【請求項5】第1対及び第2対の各々の第2トランジスタのベースが基準電圧端子に接続され、
第1対及び第2対の第1トランジスタのベースが各々第1、第2のデータ入力端子に接続され、
第3対の第1及び第2のトランジスタのベースが、相補信号を受信するように形成された独立した第1及び第2の選択端子に接続された、
請求項4記載のB I - F E Tロジック回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速回路に関し、特にバイポーラ・トランジスタと電界効果トランジスタを使用し、普通B I - F E T回路と呼ばれる高速多レベル集積回路に関する。

【0002】

【従来の技術】バイポーラ・トランジスタは少なくとも1960年代以降はエミッタ結合ロジック(E C L)回路等の高速集積回路に用いられている。代表的(基本的)なエミッタ結合ロジック回路は対になったn-p-nトランジスタにコレクタが接続されて、第1負荷抵抗器と第2負荷抵抗器が分離され、エミッタが抵抗器または第3n-p-nトランジスタのコレクタに接続され、第3n-p-nトランジスタのエミッタが第3抵抗器に接続される。このような回路の立ち上がり/立ち下がり

時間はピコ秒の範囲にもなる。この回路の問題点は消費電力がある用途に求められる値よりも大きいことである。消費電力の問題は $n-p-n$ トランジスタのエミッタ結合対をそれぞれ積み重ねてツリー構造を作ること、部分的には解決される。トランジスタのエミッタ結合対を2段にして、 $n-p-n$ トランジスタのコレクタを次段のエミッタに接続することは周知のとおりである。これにより使用できるロジックがかなり多くなる一方、速度と電力は1対のエミッタ結合トランジスタで用いられる場合と同じレベルに維持することができる。このようにして得られるツリー構造の速度と電力の積は基本的なエミッタ結合構造に比べて大幅に改良される。

【0003】しかしエミッタ結合ロジック回路のツリー構造は、非常な高速で動作させるためにはトランジスタをリニア・レンジと呼ばれる非飽和状態で動作させなければならない。そのためには各層のトランジスタのコレクタ/エミッタ領域の両端の電圧を約1ボルトにする必要がある。普通、エミッタ結合回路の出力電圧信号レベルは約0.7ボルトである。また第3トランジスタと第3抵抗器より成る定電流源の両端の電圧は通常、約2ボルト以上である。したがって適正動作のためには約5ボルトの電源電圧が必要である。電源電圧は大きく下げることにはできない。きわめて高速な動作が得られるようにトランジスタを非飽和状態に保つ必要があるからである。そのため消費電力はある用途で求められる場合よりも大きいままである。

【0004】 $B1-FET$ は電界効果トランジスタとバイポーラ・トランジスタを組合わせたものである。電界効果トランジスタの高入力インピーダンス特性は入力デバイスとして有用な特性である。バイポーラ・トランジスタの低出力インピーダンスは出力デバイスとして有用な特性である。

【0005】SRAMにはバイポーラ・トランジスタと電界効果トランジスタを組合わせて用いるものがある。米国特許第4825413号明細書(H. V. Tran)は、エミッタ結合 $n-p-n$ トランジスタと電界効果トランジスタ(FET)が対になったセンス増幅器を含むバイポーラCMOSスタティック・ランダム・アクセス・メモリを示している。トランジスタのエミッタはFETのドレインに接続され、FETのソースは基準電位に接続される。FETはオンの時にトランジスタの電流路を与えるものとして述べられている。ゲート酸化物の厚み等のFETの特性の変動や、そのゲートに印加される電圧レベルの変動は、FETを流れる電流の変動の原因になる。そのためこの種の構造は定電流源が求められる用途では理想的とは言えない。

【0006】定電流源を要するロジック用途に入力として複数のロジック・レベル、電圧レベルを要する多段ツリー構造を用いるものがある。上記の米国特許第4825413号明細書の構造はこうした用途には適してい

い。

【0007】標準化されておりマスター・スライス回路またはライブラリ回路と呼ばれるロジック回路等の用途では通常、標準的なロジック・レベルしか用いられず、バイポーラ・トランジスタや電界効果トランジスタに普通に求められる複数の電圧ロジック・レベルの使用が問題となる。

【0008】

【発明が解決しようとする課題】動作がきわめて高速であり消費電力が従来のECL回路よりも小さいECL型ロジック回路が求められており、本発明の目的はこのような要望に応えるロジック回路を提供することである。

【0009】

【課題を解決するための手段】本発明の対象は処理/保持システムであり、このシステムは第1電界効果トランジスタによってオンとオフに切り替えられるバイポーラ・ロジック部と、第2電界効果トランジスタによってオンとオフに切り替えられるバイポーラ・ラッチ部を含む。高速動作を実現するためにロジック部とラッチ部の両方にエミッタ結合ロジックが用いられる。電界効果トランジスタは各々、活動化されて導通した状態の時にドレインとソース間のインピーダンスが小さいオン/オフ・スイッチとして用いられる。ロジック部の出力はラッチ部の入力に接続される。一時にロジック部とラッチ部のいずれか一方が活動状態となるように、第1、第2電界効果トランジスタを制御するのに相補クロック信号が用いられる。ロジック部はロジック機能を拡張するために2段のエミッタ結合ツリー構造をとる。電界効果トランジスタを用いることで電圧レベルが+3.6ボルトの電源を使用しやすくなる。これは従来のエミッタ結合ツリー構造に用いられる通常+5ボルトの電源と対照的である。すなわち本発明の処理/保持システムを採用することで高速化と低消費電力が実現される。

【0010】本発明は、1態様では、ロジック部、ラッチ部、第1、第2の電界効果トランジスタ、及び第1抵抗素子の組合わせとみることができる。ロジック部はバイポーラ・トランジスタを含む。第1、第2の電界効果トランジスタはそれぞれゲートと第1、第2の端子を持つ。電界効果トランジスタの第1端子はバイポーラ・トランジスタの少なくとも1つに接続される。第1電界効果トランジスタはロジック部のバイポーラ・トランジスタの少なくとも1つに電流が流れるように、ロジック部を選択的に活動状態にするように動作し、またロジック部のトランジスタを流れる電流を遮断するように、ロジック部を選択的に非活動状態にするように動作する。ラッチ部はバイポーラ・トランジスタを含む。第2電界効果トランジスタの第1端子は、ロジック部のバイポーラ・トランジスタの少なくとも1つに接続される。第2電界効果トランジスタは、ロジック部が活動状態の時にラッチ部を選択的に非活動状態にするように、またロジッ

ク部が非活動状態の時にラッチ部のバイポーラ・トランジスタの少なくとも1つを通して電流が流れることができるようにする。ロジック部の出力はラッチ部の入力に接続される。第1、第2の電界効果トランジスタの第2端子は第1抵抗素子に接続される。

【0011】本発明は、別の態様では、第1、第2、第3の対を成すエミッタ結合バイポーラ・トランジスタと電界効果トランジスタ、第1、第2、第3の抵抗素子を含む回路に関するものとみることができる。バイポーラ・トランジスタは各々、ベース、エミッタ及びコレクタを持ち、電界効果トランジスタはゲート、第1、第2の端子を持つ。第1対のトランジスタのエミッタは第3対の第1トランジスタのコレクタに接続される。第2対のトランジスタのエミッタは、第3対の第2トランジスタのコレクタに接続される。第3対のトランジスタのエミッタは電界効果トランジスタの第1端子に接続される。第1対と第2対の第1トランジスタのベースは各々、回路の第1、第2入力データ端子に接続される。第3対の第1、第2のトランジスタのベースは各々、回路の第1、第2の入力選択端子に接続される。電界効果トランジスタのゲートは回路のクロック端子に接続される。第1対と第2対の第1トランジスタのコレクタは回路の第1出力端子に接続される。第1対と第2対の第2トランジスタのコレクタは回路の第2出力端子に接続される。第1対と第2対の第1及び第2のトランジスタのコレクタは各々第1、第2の抵抗素子に接続される。電界効果トランジスタの第2端子は第3抵抗素子に接続される。

【0012】

【実施例】図1を参照する。これは本発明に従った処理／保持システム（回路）10を示す。システム10はバイポーラ・ロジック部12、バイポーラ・ラッチ部14、 n チャネル電界効果トランジスタ16、18、及び抵抗器（抵抗素子）20を含む。バイポーラ・ロジック部12の入力端子 V_{in1} 、 V_{in2} 、... V_{inx} はバイポーラ・ロジック部12で処理されるデータ入力信号を受信するように形成される。バイポーラ・ロジック部12の入力端子 V_{sel1} 、 V_{sel2} 、... V_{selx} は所定時間に V_{in1} 、 V_{in2} 、... V_{inx} のどの入力データ信号がバイポーラ・ロジック部12によって処理されるかを決定する選択入力信号を受信するように形成される。バイポーラ・ロジック部12の出力はバイポーラ・ラッチ部14の入力端子32、34に接続される。バイポーラ・ラッチ部14の出力 V_{out} 、 V_{outi} （ V_{out} の反転出力）はシステム10の出力となる。相補クロック信号 V_{ck} 、 V_{cki} は各々トランジスタ16、18のゲートに接続される。トランジスタ16がそのゲートのHIGH信号“1”によって活動状態（“ON”）になった時、バイポーラ・ロジック部12は入力端子 V_{in1} 、 V_{in2} 、... V_{inx} のいずれか1端子で受信された信号を処理し、その端

子32、34に出力信号を生成することができる。トランジスタ16が活動状態になった時、トランジスタ18はそのゲートのLOW信号“0”によって非活動状態（“OFF”）となり、バイポーラ・ラッチ部14は非活動状態となる。 V_{ck} と V_{cki} が各々“1”、“0”から“0”、“1”に切り替わるとバイポーラ・ロジック部12は非活動状態になり、バイポーラ・ラッチ部14は活動状態となって、入力データ端子 V_{in1} 、 V_{in2} 、... V_{inx} のうち選択された端子に印加されたものと同じロジック・レベルである出力 V_{out} で信号を生成し保持するようにラッチ・アップする。

【0013】トランジスタ16のドレインはバイポーラ・ロジック部12に端子36で接続される。トランジスタ18のドレインはバイポーラ・ラッチ部14に端子38で接続される。トランジスタ16、18のソースは抵抗器20の第1端子30に接続される。

【0014】バイポーラ・ロジック部12とバイポーラ・ラッチ部14は両方とも電圧 V_{cc} の正電源が印加される端子22に接続される。抵抗器20の第2端子24は電圧 V_{ss} の第1基準電源に接続される。バイポーラ・ロジック部12はまた端子26及び電圧 V_{ref} の基準電源に接続される。バイポーラ・ラッチ部14はまた端子28及び電圧 V_{ee} の正電源にも接続される。

【0015】図2は図1のバイポーラ・ロジック部12の実施例（破線内）と図1のトランジスタ16及び抵抗器20を示す。

【0016】バイポーラ・ロジック回路12の実施例はエミッタ結合 $n-p-n$ トランジスタ $T1$ 、 $T2$ の第1対、エミッタ結合 $n-p-n$ トランジスタ $T3$ 、 $T4$ の第2対、エミッタ結合 $n-p-n$ トランジスタ $T5$ 、 $T6$ の第3対、 $n-p-n$ トランジスタ $T7$ 、 $T8$ 、 $T9$ 及び抵抗器（抵抗素子）50、52を含む。

【0017】 $T1$ 、 $T4$ 、 $T5$ のコレクタは抵抗器50の第1端子及び端子32に接続される。 $T2$ 、 $T3$ 、 $T6$ のコレクタは抵抗器52の第1端子及び端子34に接続される。抵抗器50、52の第2端子は端子22及び V_{cc} に接続される。 $T1$ 、 $T2$ のエミッタは $T7$ のコレクタ及び端子54に接続される。 $T3$ 、 $T4$ のエミッタは $T8$ のコレクタ及び端子56に接続される。 $T5$ 、 $T6$ のエミッタは $T9$ のコレクタ及び端子58に接続される。 $T7$ 、 $T8$ 、 $T9$ のエミッタはすべてトランジスタ16のドレイン及び端子36に接続される。 $T1$ 、 $T4$ 、 $T5$ のベースは V_{in1} 、 V_{in2} 、 V_{inx} にそれぞれ接続される。 $T2$ 、 $T3$ 、 $T6$ のベースは端子26及び V_{ref} に接続される。 $T7$ 、 $T8$ 、 $T9$ のベースは V_{sel1} 、 V_{sel2} 、 V_{selx} にそれぞれ接続される。

【0018】図の実施例で、 $V_{cc}=+3.6$ ボルト、 $V_{ref}=+2.35$ ボルト、 $V_{ss}=0$ ボルト、 V_{in1} 、 V_{in2} 、... V_{inx} の“1”レベル $=+2$ 。

6ボルト、 V_{in1} 、 V_{in2} 、... V_{inx} の"0"レベル=+2.1ボルト、 V_{sel1} 、 V_{sel2} 、... V_{selx} の"1"レベル=+1.75ボルト、 V_{sel1} 、 V_{sel2} 、... V_{selx} の"0"レベル=+1.45ボルト、 V_{ck} の"1"レベル=+3.0ボルト、 V_{ck} の"0"レベル=0ボルト、抵抗器50、52、20はそれぞれ1140、1140、2130オームである。これらの値を用いて測定したステータジ遅延は62-73ピコ秒の範囲であった。

【0019】バイポーラ・ロジック部12は V_{ck} が"1"の時に活動状態となり、 V_{ck} が"0"の時に非活動状態となる。トランジスタ16はそのゲートに印加された"1"によって活動状態となった時に、端子36、30間の低インピーダンスの短絡路として働くスイッチである。図の実施例のトランジスタ16は0.8ミクロンのnチャネル・エンハンスメント絶縁ゲート電界効果トランジスタで、ドレイン/ソース間電圧（すなわち端子34、30間電圧）はバイポーラ・ロジック部12が活動状態の時に約20ミリボルトである。

【0020】バイポーラ・ロジック部12は次のように動作する。まず V_{ck} によってトランジスタ16のゲートに"1"が印加された時、バイポーラ・ロジック部12は活動状態となり、電流が V_{cc} から抵抗器50または52に、次にトランジスタT1、T2、T3、T4、T5、T6のいずれかを通り、次にトランジスタT7、T8、T9のいずれかを通り、さらにトランジスタ16と抵抗器20を通り、 V_{ss} に流れる。この電流の実際の経路はT1、T4、T6、T7、T8、T9のベースに印加されるロジック・レベルによって決まる。T7、T8、T9のベースのうち1つだけが"1"を受取る。ベースが"1"を受取るトランジスタは V_{cc} からの電流が通過できるトランジスタである。 V_{ck} ="1"、 V_{sel1} ="1"、 V_{sel2} 、... V_{selx} ="0"、及び V_{in1} ="1"とする。この条件下で電流は V_{cc} から抵抗器50、T1、T7、トランジスタ16、抵抗器20及び V_{ss} へ流れる。これによる抵抗器50両端の電圧低下のため、端子32の出力電圧は"0"になる。抵抗器52には電流が流れないため端子34は V_{cc} すなわち"1"にとどまる。

【0021】ここで V_{ck} ="1"、 V_{sel1} = V_{selx} ="0"、 V_{sel2} ="1"、及び V_{in2} ="0"とする。この条件下で電流は V_{cc} から抵抗器52、T3、T8、トランジスタ16、抵抗器20及び V_{ss} へ流れる。これにより抵抗器52両端の電圧が低下し、端子34の出力電圧が"0"になる。抵抗器50には電流が流れないため端子34は V_{cc} すなわち"1"にとどまる。

【0022】ここで V_{ck} ="1"、 V_{sel1} = V_{sel2} ="0"、 V_{selx} ="1"、及び V_{inx} ="1"とする。この条件下で電流は V_{cc} から抵抗器50、T

5、T9、トランジスタ16、抵抗器20、及び V_{ss} へ流れる。これにより抵抗器50両端の電圧が低下し、端子32の出力電圧が"0"になる。抵抗器52には電流が流れないため端子32は V_{cc} すなわち"1"にとどまる。

【0023】トランジスタ16が"ON"（活動状態）のとき、比較的一定の電流がロジック部12を流れることに注意されたい。これは V_{sel1} 、 V_{sel2} 、 V_{selx} のいずれかに印加されるHIGHレベルが同じでT7、T8、T9のエミッタ/ベース間電圧も同じだからである。このようにT7、T8、T9の1つが"ON"のとき、T7、T8、またはT9のいずれかのエミッタ/ベースのHIGH電圧レベルより低い端子36の電圧は一定である。この電圧をトランジスタ16の抵抗と抵抗器20の抵抗との和で割った値がロジック部12に流れる電流を決定する。

【0024】端子32、34の出力信号を図2のバイポーラ・ラッチ部14に転送する場合、 V_{ck} は"0"に切り替えられ、 V_{cki} （図1）は"0"から"1"に切り替わる。これによりバイポーラ・ロジック部12は非活動状態、バイポーラ・ラッチ部14は活動状態となる。

【0025】電界効果トランジスタ16が活動化され導通状態となると、バイポーラ・ロジック部12のスイッチング速度はエミッタ結合トランジスタT1-T9の反応時間（通常はピコ秒の範囲）によって決定される。T1-T9の制御に用いられる電圧ロジック・レベルは従来のツリー構造に用いられる標準のエミッタ結合ロジック・レベルである。電界効果の電圧ロジック・レベルはバイポーラ・ロジック部12の動作サイクルの初めと終わりにのみ必要である。電界効果トランジスタ12はその特性上、バイポーラ・トランジスタT1-T9よりも反応の遅いトランジスタであるが、バイポーラ・ロジック部12のスイッチング速度はT1-T9の反応時間に対応しており、電界効果トランジスタ16のスイッチング時間によって制限されない。

【0026】トランジスタ16のドレイン/ソース間電圧は数十ミリボルト（20ミリボルト等）になるため、 V_{cc} は（従来のエミッタ結合ツリー構造に用いられる+5ボルトに対して）+3.6にすることができるほか、バイポーラ・トランジスタの入力を同じロジック・レベルとすることが可能であり、それでもピコ秒単位の反応時間を達成することができる。これにより消費電力は約39%低下する。一方、図1、図2のバイポーラ・ロジック部と比べた場合、従来のエミッタ結合ツリー構造を用いるためには基準の3.6ボルトのほかに1.4ボルトが必要になる。

【0027】図3は破線14a内に図1のバイポーラ・ラッチ部14の実施例を示す。バイポーラ・ラッチ部14の実施例はn-p-nトランジスタT10、T11、T12、T13、及び抵抗器（抵抗素子）80、82を

含む。抵抗器20、50、52は図2と同じである。これらはラッチ部14の実施例14aの動作に必要ではあるがロジック部12と共用してもよい。T10、T11のコレクタは端子22及びVccに接続される。抵抗器80、82の第1端子は端子28及び電圧Veeの電源に接続される。Vcki="1"のとき、トランジスタ18とラッチ部14は活動状態になり、図1、図2のロジック部10の端子32、34の出力信号によりラッチ部14がラッチ・アップする。つまり出力端子Voutが図1、図2のロジック部12のデータ入力端子Vin1、Vin2、またはVinxと同じロジック・レベルに近づく。これに対し出力端子VoutiはVin1、Vin2、またはVinxの補数となる。

【0028】バイポーラ・ラッチ部14の動作は次のとおりである。Vckiが"0"から"1"へ、Vckが"1"から"0"へ切り替わる時点で出力端子32、34は各々"1"、"0"になるものとする。これによりT11のベースは"1"にT10のベースは"0"となる。T10、T11は両方ともエミッタ・フォロワとして機能するため、そのエミッタは、そのベース電圧よりも1Vbe（ベース／エミッタ）だけ低い電位にセットされる。よって、T13のベース（T11のエミッタに接続される）は、T10のエミッタに接続されたT12のベースよりも電圧が高くなる。これにより電流がVccから抵抗器52、T13、トランジスタ18、抵抗器20、及びVssに流れる。そのため端子34の電圧は図1、図2のロジック部10がこの時点で非活動状態になって端子34を"0"に保つことがなくても、"0"に保たれる。このようにT10のベースが"0"になることで、T10のエミッタ、したがってT12のベースはT13のベースよりも低い正電圧に保たれる。これによってT13は活動／導通状態に保たれるため、T12のベースの電圧はT13のベースよりも低く維持される結果になる。Voutの出力電圧レベルは能動的に"0"レベルに保たれる。よってHIGHレベルまたはT11のベースはT11のVbeによって下方へシフトし"1"レベルに維持される。

【0029】端子32、34の電圧が各々"0"、"1"であれば、Vout="1"、Vouti="0"である。

【0030】新しいデータがロジック部12に入力され

るようにする場合はVckiが"1"から"0"へ、Vckが"0"から"1"へ切り替えられる。Vckiが"1"から"0"へ切り替えられる時、Vckは"0"から"1"へ切り替えられる。これらの条件によりロジック部12は活動状態、ラッチ部14は非活動状態となる。通常、Vckが"1"となる時点よりも少なくとも遅くならない時点で、新しいデータ入力信号が図1、図2のVin1、Vin2、... Vinxに印加され、新しい選択入力信号がVsel1、Vsel2、... Vselxに印加される。

【0031】図の実施例ではVcc=+3.6ボルト、Vss=0ボルト、Vee=+1.1ボルト、及び抵抗器50、52、80、82、20=1140、1140、1000、1000、2130オームである。

【0032】電界効果トランジスタ18は"ON"（活動状態）に切り替わってラッチ部14の動作サイクルを起動し、"OFF"（非活動状態）に切り替わってラッチ部14のサイクルを停止する。トランジスタ18が活動状態にある時間、ラッチ部は"ラッチ・アップ"し、その時の反応時間はそのバイポーラ・トランジスタによって決定される。したがって"ラッチ・アップ"時間は、エミッタ結合バイポーラ回路に伴う高速度で得られる。これによりラッチ部14はピコ秒単位で反応する。

【0033】

【発明の効果】本発明の処理／保持システムを採用することで高速化と低消費電力が実現される。

【図面の簡単な説明】

【図1】本発明に従った処理／保持システムの図である。

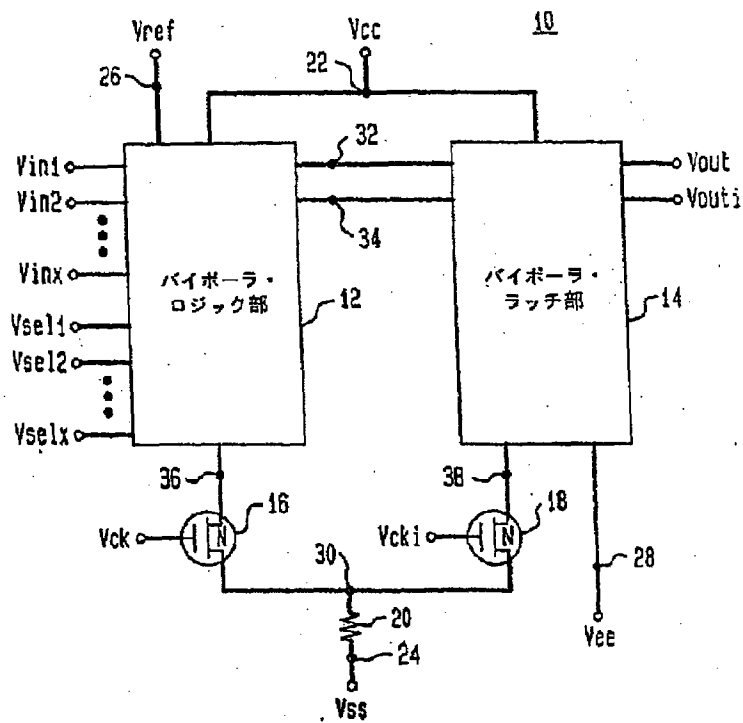
【図2】図1の処理／保持システムの一部の実施例を示す図である。

【図3】図1の処理／保持システムの一部の実施例を示す図である。

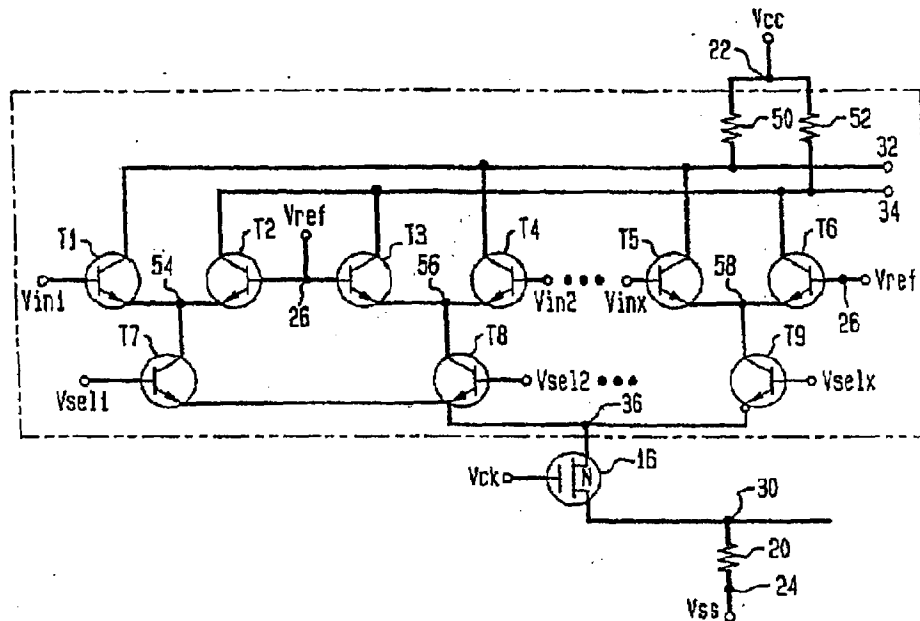
【符号の説明】

- 10 処理／保持システム（回路）
- 12 バイポーラ・ロジック部
- 14 バイポーラ・ラッチ部
- 16、18 nチャネル電界効果トランジスタ
- 20、50、52 抵抗器（抵抗素子）

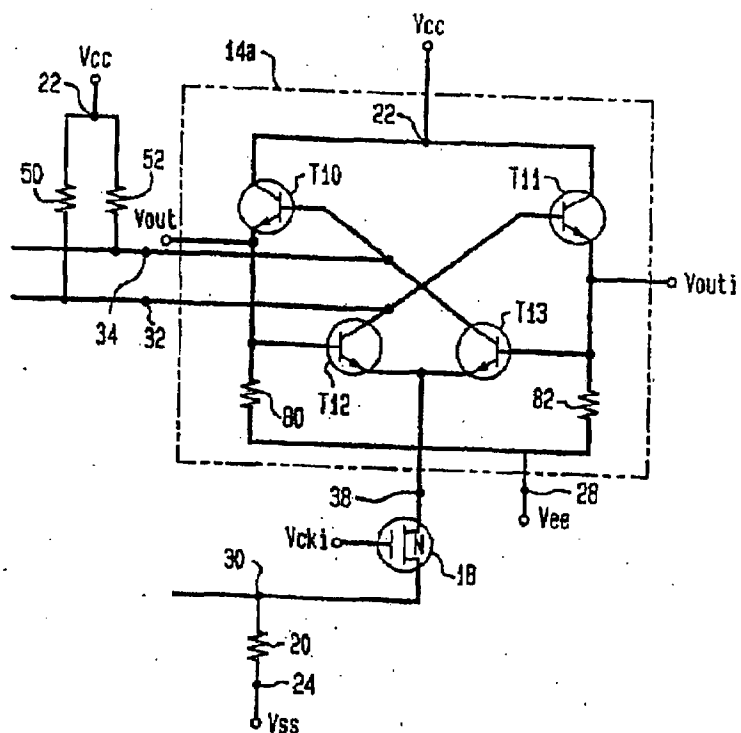
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 ジョン・フランシス・マッケイブ
アメリカ合衆国12603、ニューヨーク州ボ
キプシ、オーク・ベンド・ロード 10

(72)発明者 ケニー・キーオン・シン
アメリカ合衆国78729、テキサス州オース
ティン、ナンバー 1716、ハンターズ・チ
ェイス・ドライブ 12343